

**SEMICONDUCTOR INTEGRATED CIRCUIT**

Patent Number: JP9153802  
Publication date: 1997-06-10  
Inventor(s): YAMAMOTO TAKESHI  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP9153802  
Application Number: JP19950310593 19951129  
Priority Number(s):  
IPC Classification: H03M1/08; G06J3/00; H03K19/0175; H03K19/003; H03K19/0948  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To prevent the sampling processing of an analog circuit from being affected by pulse noise generated in a digital circuit in digital/analog IC.

**SOLUTION:** Timing signals generated in the sampling timing generation part 12 of the digital circuit 11 are delayed and they are made into the sampling signals SP1-SP3 of the analog circuit 13. The digital circuit 11 is operated by a common master clock CK. The sampling pulses SP1-SP3 are supplied to the sampling processing part 14 of the analog circuit 13 through delay parts D1-D3 having same delay time  $\tau$  as sampling pulses. Thus, the digital circuit 11 can execute the sampling processing at the inversion timing of the master clock CK without being affected by pulse noise since the operation timing of the pulses S1-S3 is delayed compared to noise pulses generated in power source lines VDD and VSS by the delay time  $\tau$  of the delay circuits D1-D3.

---

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153802

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/08			H 0 3 M 1/08	B
G 0 6 J 3/00			G 0 6 J 3/00	
H 0 3 K 19/0175			H 0 3 K 19/003	B
19/003			19/00	1 0 1 N
19/0948			19/094	B

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平7-310593

(22) 出願日 平成7年(1995)11月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山本 剛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

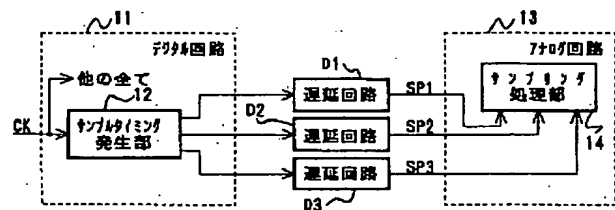
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 デジタルアナログ混載 I C において、デジタル回路で発生するパルスノイズの影響がアナログ回路のサンプリング処理に及ばないようにする。

【解決手段】 デジタル回路 1 1 のサンプルタイミング発生部 1 2 で生成したタイミング信号を遅延させてアナログ回路 1 3 のサンプリング信号 S P 1 ~ S P 3 とする。デジタル回路 1 1 は共通のマスタークロック C K で動作させる。サンプリングパルス S P 1 ~ S P 3 は同じ遅延時間  $\tau$  を持つ遅延部 D 1 ~ D 3 を介して、アナログ回路 1 3 のサンプリング処理部 1 4 へサンプリングパルスとして供給する。これにより、デジタル回路 1 1 ではマスタークロック C K の反転タイミングで、電源ライン V D D, V S S に発生するノイズパルスに対し、パルス S 1 ~ S 3 の動作タイミングは、これより遅延回路 D 1 ~ D 3 の遅延時間  $\tau$  分だけ、ずれているため、パルスノイズの影響を受けることなくサンプリング処理できる。



【特許請求の範囲】

【請求項1】 アナログ回路とデジタル回路が同半導体チップ上に混在し、アナログ回路には少なくとも信号のサンプリング処理部を含み、そのサンプリング時間を決めるタイミング信号は、デジタル回路において他のデジタル回路と共通のマスタークロックを使って生成する半導体集積回路において、

前記タイミング信号の反転タイミングが、前記マスタークロックの立ち上がりまたは立ち下がりに対し、前記デジタル回路のゲート1段あたりの遅延時間より十分大きな一定時間以上の時間差を持つようにして前記アナログ回路に供給することを特徴とする半導体集積回路。

【請求項2】 デジタル回路で生成する前記タイミング信号の全てに対し、一定時間遅延させる手段を介してアナログ回路へのサンプリング信号とすることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 デジタル回路で生成する前記タイミング信号の全てに対し、抵抗とコンデンサから成る時定数回路を通しその後インバータなどの整形回路で波形整形することで一定時間遅延したタイミング信号に作り直し、これをアナログ回路へのサンプリング信号とすることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 デジタル回路で生成する前記タイミング信号によって積分回路を動作させ、その後コンパレータで波形整形することで一定時間遅延したタイミング信号に作り直し、これをアナログ回路へのサンプリング信号とすることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 デジタル回路で生成する前記タイミング信号を多段接続したゲート回路に通して一定時間遅延させ、これをアナログ回路へのサンプリング信号とすることを特徴とする請求項2記載の半導体集積回路。

【請求項6】 デジタル回路で生成する前記タイミング信号を入力とし、前記マスタークロックまたはその分周信号を一定時間遅延させる手段を介して制御端子に供給し、その制御信号の立ち上がりまたは立ち下がりを通りガタイミングとするラッチ回路を備え、その出力をアナログ回路へのサンプリング信号とすることを特徴とする請求項2記載の半導体集積回路。

【請求項7】 デジタル回路は、一部を除いてマスタークロックの立ち上がりまたは立ち下がりのどちらかで動作するようにし、デジタル回路で生成する前記タイミング信号を入力とし、前記デジタル回路の動作位置がマスタークロックの立ち上がりの場合はその立ち下がりを通りガタイミングとし、前記デジタル回路の動作位置がマスタークロックの立ち下がりの場合はその立ち上がりを通りガタイミングとするラッチ回路を備え、その出力をアナログ回路へのサンプリング信号とすることを特徴とする請求項1記載の半導体集積回路。

【請求項8】 サンプリングパルス発生回路を含む大部

分のデジタル回路は、マスタークロックを一定時間遅延させる手段を介して供給するクロックで動作させ、サンプリングパルス発生回路で生成する前記タイミング信号を入力とし、遅延前の位置の前記マスタークロックを直接制御端子に供給し、その制御信号の立ち上がりまたは立ち下がりを通りガタイミングとするラッチ回路を備え、その出力をアナログ回路へのサンプリング信号とすることを特徴とする請求項1記載の半導体集積回路。

【請求項9】 アナログ回路は、サンプルホールド回路を前段に持つA/D変換器を含み、入力アナログ信号をデジタルに変換して、信号処理はデジタル回路にて行うことを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アナログ回路とデジタル回路を1チップ上に混載した場合に生じる、デジタル回路で発生したパルスノイズがアナログ回路へ混入してアナログ信号の品位劣化を防止した半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体プロセスの微細化とともに高集積化が著しく進み、これまでアナログとデジタルで分かれていたIC（半導体集積回路）も、統合して大規模アナデジLSIとしたり、A/D、D/Aコンバータを内蔵したデジタル信号処理LSIなどの開発が盛んに進められている。

【0003】このようなアナログデジタル混載のICは、デジタルの集積度が上がるという利点からCMOSあるいはBi-CMOSプロセスが用いられる。この種、ICで問題となるのがCMOSデジタル回路で発生するパルスノイズである。特にCMOSプロセスの場合、その特徴を活かすためアナログ回路にサンプリング処理が多用される。例えば、A/Dコンバータの前段やSCF（スイッチトキャパシタフィルタ）やサンプルホールドフィルタやオフセットキャンセル回路などのサンプルホールド処理である。

【0004】サンプリングのタイミングを決めるサンプリングパルスSP1～SP3は、図9に示すようにマスタークロックCKに基づいてデジタル回路91のサンプルタイミング発生部92により生成し、これをそのままアナログ回路93のサンプリング処理部94へ供給している。

【0005】サンプリング処理部94の構成要素となるサンプルホールド回路において、サンプルからホールドへ移る瞬間に、デジタルからのノイズが混入してホールド電圧に誤差を生じると、この誤差がホールド期間中ずっと保持されることになる。混入時の瞬間的なノイズであっても、この影響はある時間維持されることになるため、ノイズエネルギーは時間拡大され出力信号の品位を著しく損なうことになる。

【0006】これについて図10を用い、さらに詳しく説明する。まず、CMOSのデジタル回路101でパルスノイズが発生する過程について述べる。簡単にするため図のようにNチャンネルMOSとPチャンネルMOSを1個ずつ組み合わせた最も単純なインバータで考える。

【0007】インバータの出力には次段入力ゲートの接続し、その寄生容量により容量負荷となっている。CMOSのゲート回路は、入力の論理が反転する瞬間だけ電流が流れる。入力が反転途中のVDDとVSSの中間的な値を取っているとき、NチャンネルMOSとPチャンネルMOSが両方ONしていてVDDからVSSへ、貫通電流 $i_1$ が流れる。また、入力レベルがHからLに変わるとき、出力レベルはLからHに変わるので、寄生容量を充電するためのチャージ電流 $i_2$ が流れる。

【0008】同様に、入力レベルがLからHに変わるとき、出力レベルがHからLに変わるので、寄生容量を放電するためのディスチャージ電流 $i_3$ が流れる。このようにして、入力レベルがHからLに変わるときは、VDDラインに電流 $i_1 + i_2$ 、VSSラインに電流 $i_1$ が、入力レベルがLからHに変わるときは、VDDラインに電流 $i_1$ 、VSSラインに電流 $i_1 + i_3$ がそれぞれ流れる。CMOSゲート回路は全てが同じ様な動作で、状態が変わるたびに電源ラインにパルス電流を流す。これはフリップフロップなどの回路でも同じで、入力やクロックの論理が反転するたびに電源ラインにパルス電流が流れる。

【0009】このように全てのデジタル回路において、状態が変わるのは必ずマスタークロックCKが反転するタイミングに一致しているので、マスタークロックCKの反転ごとに全体として相当大きなパルス電流が電源ラインに流れることになる。電源ラインといえども電源バッドあるいは電源ピンからアルミ配線の抵抗分によってあるインピーダンスを持っているので、このインピーダンスにより電源ラインVDD、VSSには図中に示したようなパルスノイズ波形が表われる。これがアナログ部とデジタル部の電源ラインの共通インピーダンスによってアナログ回路102の電源ラインVcc、接地ラインGNDへ乗る。電源ラインとボンディングワイヤはインダクタ成分も持っているので、デジタル回路101が発生するパルス電流による電磁誘導によって、これがアナログ回路102へも洩れこんでいく。また、デジタル回路101とアナログ回路102を、同一チップ上に形成する限りはサブストレートを共通にしているので、デジタルのVSSとアナログのGNDを分離していたとしても、サブストレートを經由してアナログ回路102へ洩れこんでいくルートもある。

【0010】このように、デジタル回路102で発生するマスタークロックCKの反転による半周期間隔のパルスノイズは、アナログ回路102のサンプルホールド回

路103へ、電源ラインを介して、サブストレートとホールコンデンサの寄生容量を介して、あるいは直接空間的な輻射ノイズとして、さまざまな経路で混入する。サンプルホールド回路103では、そのサンプリングパルスをデジタル回路101で生成するため、サンプリングのタイミングがマスタークロックCKの反転のタイミング、すなわちパルスノイズが発生する位置と一致している。従って、サンプリングタイミングとしては、このノイズの影響を最も受けやすい位置になっている。

【0011】こうしてサンプルホールド回路103は、デジタル回路101が発生するパルスノイズの影響で、図10の中の出力信号に示したようにサンプリング誤差（ホールド誤差）を持つ。しかも、前述のように、この誤差がホールド期間維持されることによりノイズエネルギーとしては拡大され、出力信号の品位を著しく落とすことになる。

【0012】この問題は、デジタルアナログ混載のLSIあるいはA/D変換器内蔵のデジタルLSIでは必ず発生し、有効な対策がないため深刻な問題となることが多い。従来では、この解決法としてパターンレイアウトでの対策が中心であった。例えば、アナログ回路とデジタル回路とで、電源ピンを分けるまたは電源ラインをバッドから完全に分岐させる、電源ラインを太くしてインピーダンスを下げる、あるいはレイアウト領域を分離する、その境界に分離帯を設ける、などの対策を取っていた。

【0013】しかし、これらの方法は、ICのピン数やチップ面積の増大を招き経済性が悪いこと、どの程度の対策を施せば良いのかの見積もりが困難であること、作ってみた結果、不十分のためさらに強化対策が必要な場合下地（埋め込み層）からの根本修正が必要なこと、などの問題があった。そして何よりも、これらのレイアウト的対策は限界があり、十分満足できる分離度が得られないことが多い。このようなデジタルアナログ間の干渉問題に根本的な対策が求められていた。

【0014】

【発明が解決しようとする課題】以上述べてきたように、従来のデジタルアナログ混載のLSIあるいはA/D変換器内蔵のデジタルLSIではデジタル回路で発生するパルスノイズがさまざまな経路でアナログ回路へ混入し、サンプリング処理回路にホールド誤差を生じさせて信号の品位を劣化させるという問題があった。この解決法としてパターンレイアウトでの対策を行ってきたが、その効果には限界があった。

【0015】この発明は、デジタルアナログ混載ICにおいて、デジタル回路で発生するパルスノイズの影響がアナログ回路のサンプリング処理に及ばないようにして、アナログ信号の劣化を防止することにある。

【0016】

【課題を解決するための手段】この発明は上記目的を達

成するため、アナログ回路とデジタル回路が混在し、アナログ回路は信号のサンプリング処理を含み、そのサンプリング時間を決めるタイミング信号はデジタル回路において他のデジタル回路と共通のマスタークロックを使って生成する半導体集積回路において、前記タイミング信号の反転タイミングが前記マスタークロックの立ち上がりまたは立ち下がりに対してデジタル回路のゲート1段あたりの遅延時間より十分大きな一定時間以上の時間差を持つようにしてアナログ回路に供給するという手段を用いる。

【0017】このような構成とすることにより、デジタル回路で作ったサンプリングパルスを少しずらし、そのタイミングにマスタークロックの反転位置に対して時間差を設けることができる。すなわち、デジタル回路でパルスノイズを発生する位置を避けてサンプリングすることにより、パルスノイズによる誤差の発生がなくなり信号の品位を保つことができる。

【0018】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。図1は、この発明の第1の実施の形態について説明するための回路構成図である。図1に示すように、デジタル回路11のサンプルタイミング発生部12で生成したタイミング信号を、一定時間遅延させてアナログ回路13のサンプリング信号SP1～SP3とする。デジタル回路11は全て共通のデジタル回路を駆動する、図2の(a)に示すマスタークロックCKで動作させる。サンプリングパルスSP1～SP3は、それぞれ図2(c)に示す、同じ遅延時間 $\tau$ を持つ遅延部D1～D3を介して、アナログ回路13のサンプリング処理部14へサンプリングパルスとして供給する。

【0019】このようにすれば、デジタル回路11ではマスタークロックCKの反転タイミングで、電源ラインVDD、VSSに発生する図2(b)、(d)に示すノイズパルスに対し、サンプリングパルスS1～S3の動作タイミングは、これより遅延回路D1～D3の遅延時間 $\tau$ 分だけ、それぞれずれているため、パルスノイズの影響を受けることなくサンプリング処理できる。パルスノイズ発生の瞬間は、サンプリング処理部14のサンプルホールド回路はサンプル中またはホールド中であるため、一瞬ノイズが乗ることはあっても、ホールド値そのものに影響を与えることはほとんどない。

【0020】この実施の形態では、電源ラインなどに発生するパルスノイズの位置を避けるように、サンプリングタイミング信号を供給することにより、デジタル回路11で発生するパルスノイズの影響がアナログ回路13のサンプリング処理に及ばないようにして、アナログ信号の劣化を防止することができる。

【0021】アナログ的な遅延回路は、図1のものに限らずさまざまな方式が考えられる。図3～図6を用いて、

第1の実施の形態の遅延回路の具体的な回路例について説明する。

【0022】まず、図3に図1の遅延回路の第1の具体的な回路例を示す。デジタル回路11で生成したタイミングパルスTPを、抵抗R1とコンデンサC1とで1次遅れを構成し、インバータG1とG2で波形整形してサンプリングパルスSPとして出力する。これによりR1×C1の時間定数とインバータのしきい値電圧できまる時間だけ遅延したサンプリングパルスとなる。

【0023】図4を用い、図1の遅延回路の第2の具体的な回路例について説明する。電流源I1/I2とコンデンサC2とで積分回路を構成し、電流源I1とI2をデジタル回路11で生成したタイミングパルスTPで切り換える。この出力をコンパレータにて抵抗R2とR3で作る基準電圧と比較してサンプリングパルスSPとして出力する。タイミングパルスTPのレベルがL→Hとなった瞬間、コンデンサC2端の電圧はGNDから上昇していき、一定時間経って基準電圧を越えたとき出力レベルがL→Hに変わる。この遅れ時間は、 $R2=R3$ とすると、 $T_{delay} = C2 \times VCC / (2 \times I1)$ となる。

【0024】図5を用い、図1の遅延回路の第3の具体的な回路例について説明する。図のようにインバータを多段接続し、ゲートあたりの遅れ時間を利用して遅延したサンプリングパルスSPを得るものである。

【0025】図6を用い、アナログ的な遅延回路を使った、この発明の第2の実施の形態について説明する。第1の実施の形態と同一の構成部分に同一の符号を付し、ここでは異なる部分を中心にして説明する。この実施の形態は、ラッチ回路L1～L3を利用してタイミングパルスを遅らすものである。しかし、そのままでは遅れないので今度はラッチ回路L1～L3にトリガとして与えるマスタークロックCKの経路に、遅延回路Dを置いてその遅延時間分だけ遅らせる。なお、遅延回路Dとしては、例えば、図3～図5に示した遅延回路と同じ回路をそのまま使用することができる。

【0026】この実施の形態でも、デジタル回路11で発生するパルスノイズの影響がアナログ回路12のサンプリング処理に及ばないようにしたため、アナログ信号の劣化を防止することができる。

【0027】ここで、第1および第2の実施形態であるアナログ的な遅延回路を使った例には、図3～図5の回路例を挙げたが、これ以外にも、例えばゲート回路にスレッシュホールドレベルを変えたものを用い、他のゲートとの間で故意に反転時間差を設ける、などさまざまな方法があり、どの方法を使っても目的とする効果を得ることができる。

【0028】図7は、この発明の第3の実施の形態について説明するための回路構成図である。この実施の形態は、図6の実施の形態と同様にラッチ回路L1～L3を用いてタイミングパルスを遅らすものである。しかし、

今度は遅延回路を用いなくてマスタークロックCKの立ち上がりとしち下がりの時間差を利用する。すなわち、ラッチ回路L1～L3の出力を、マスタークロックCKの立ち上がりで行うのであれば、他の全てのデジタル回路11はマスタークロックCKの立ち下がりで作動するようにしておく。例えば、直接マスタークロックで動かすのは立ち下がりで作動するフリップフロップのみとし、このフリップフロップ出力で他の全てのデジタル回路を動作させるようにする。

【0029】このようにすれば、デジタル回路11では大部分のバースノイズがマスタークロックCKの立ち下がりのタイミングで発生するのに対し、サンプリングバースの動作タイミングは、マスタークロックCKの立ち上がりに一致することになり、マスタークロックCKの半周期分だけずれているため、バースノイズの影響を受けることなくサンプリング処理できる。

【0030】この実施の形態でも、デジタル回路11で発生するバースノイズの影響がアナログ回路13のサンプリング処理に及ばないようにしたため、アナログ信号の劣化を防止することができる。

【0031】図8は、この発明の第4の実施の形態について説明するための回路構成図である。この実施の形態も、図6の実施の形態と同様に、ラッチ回路L1～L3を用いてタイミングバースを遅らすものである。しかし、この実施の形態では、遅延回路DをマスタークロックCKがデジタル回路11へ供給される経路に設ける。一方、タイミングバースのラッチのためのタイミングは、遅延回路Dの手前のマスタークロックを用いる。

【0032】このようにすれば、今度はサンプリングバースのタイミングに対し、デジタル回路11ではマスタークロックの遅延時間分だけ遅れてバースノイズが発生することになり、これまでの例と同様に、アナログ回路13ではバースノイズの影響を受けることなくサンプリング処理できることになる。

【0033】従って、この実施の形態でも、デジタル回路11で発生するバースノイズの影響がアナログ回路13のサンプリング処理に及ばないようにしたため、アナログ信号の劣化を防止することができる。

【0034】

【発明の効果】以上説明したように、この発明によれば、バースノイズの発生に対し、サンプリングに時間差を設けるという極めて簡単な対策により、デジタル回路のバースノイズがアナログ回路に洩れこんでサンプリング誤差の発生をなくし、信号品位の劣化を防止することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態について説明するための回路構成図。

【図2】図1の動作を説明するための信号波形図。

【図3】図1の遅延回路の第1の具体的な回路構成図。

【図4】図1の遅延回路の第2の具体的な回路構成図。

【図5】図1の遅延回路の第3の具体的な回路構成図。

【図6】この発明の第2の実施の形態について説明するための回路構成図。

【図7】この発明の第3の実施の形態について説明するための回路構成図。

【図8】この発明の第4の実施の形態について説明するための回路構成図。

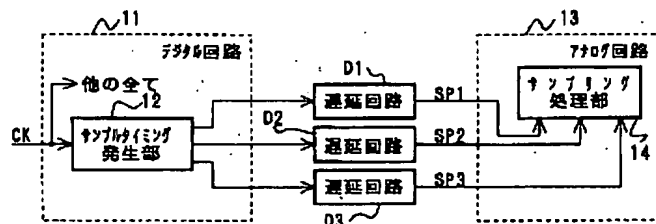
【図9】従来のアナログ回路とデジタル回路を1チップ上に混載した回路について説明するための説明図。

【図10】図9をより具体的に説明するための回路構成図。

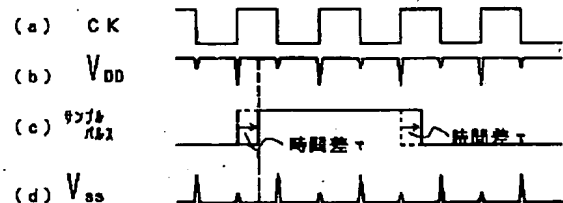
【符号の説明】

11…デジタル回路、12…サンプルタイミング処理部、13…アナログ回路、14…サンプリング処理部、CK…マスタークロック、SP1～SP3…サンプリングバース、D1～D3、D…遅延回路、L1～L3…ラッチ回路。

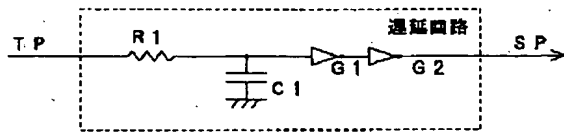
【図1】



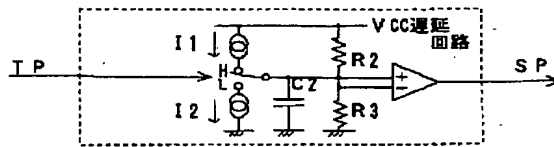
【図2】



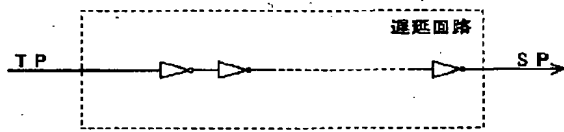
【図3】



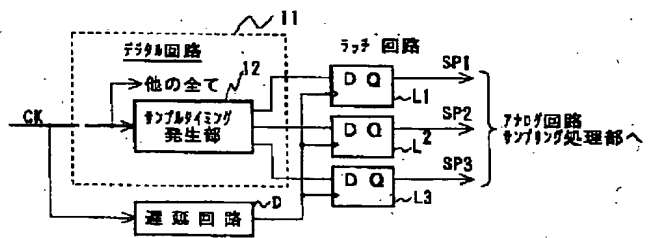
【図4】



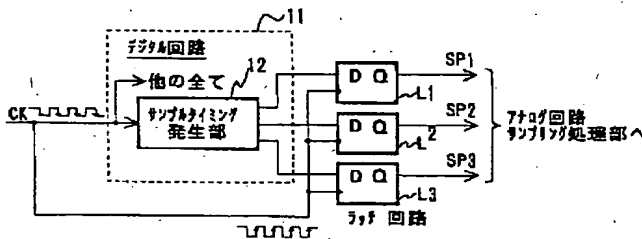
【図5】



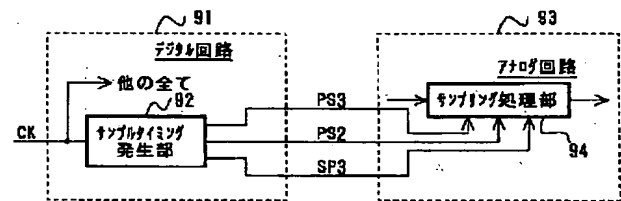
【図6】



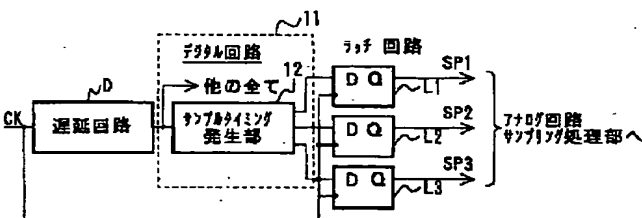
【図7】



【図9】

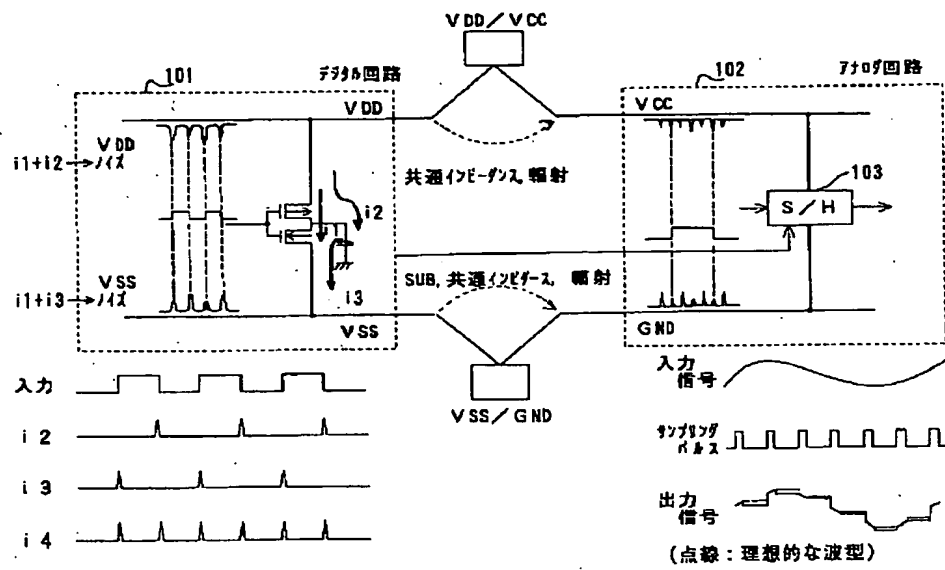


【図8】





【図10】



**THIS PAGE BLANK (USPTO)**